

Attorney Docket No. 1614.1221

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:

Kenji FURUYA

Application No.:

Group Art Unit:

Filed: March 6, 2002

Examiner:

For: SEMICONDUCTOR DEVICE



**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s) herewith a certified copy of the following foreign application:

Japanese Patent Application No. 2001-278603


Filed: September 13, 2001

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing date(s) as evidenced by the certified papers attached hereto, in accordance with the requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: March 6, 2002

By:   
Gene M. Garner, II  
Registration No. 34,172

700 11th Street, N.W., Ste. 500  
Washington, D.C. 20001  
(202) 434-1500

日 本 国 特 許 庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月13日

出 願 番 号

Application Number:

特願2001-278603

[ ST.10/C ]:

[ JP2001-278603 ]

出 願 人

Applicant(s):

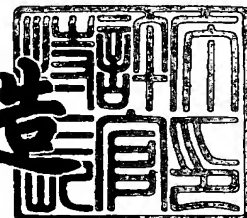
富士通株式会社

富士通ヴィエルエスアイ株式会社

2002年 1月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3001332

【書類名】 特許願

【整理番号】 0140299

【提出日】 平成13年 9月13日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G06F 13/00

【発明の名称】 半導体装置

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 古屋 健二

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目1844番2 富士通ヴィエルエスアイ株式会社内

【氏名】 神間 博和

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【特許出願人】

【識別番号】 000237617

【氏名又は名称】 富士通ヴィエルエスアイ株式会社

【代理人】

【識別番号】 100070150

【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデンプレイスタワー32階

【弁理士】

【氏名又は名称】 伊東 忠彦

【電話番号】 03-5424-2511

【手数料の表示】

【予納台帳番号】 002989

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704678

【包括委任状番号】 9708888

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 複数の機能ブロックと、

該複数の機能ブロックに接続される別々の複数のバスと、

該複数の機能ブロックに接続される別々の複数の制御信号線と、

メインバスと、

該メインバスに接続されるバス制御部と、

該複数のバスと該メインバスの間に設けられ該バス制御部から該メインバスへ送出される情報をデコードした結果に基づいて該複数のバスの 1 つを該メインバスに接続すると共に該複数の制御信号線の対応する制御信号線に制御信号を送出することで該複数の機能ブロックの対応する 1 つを制御するバス分割制御部を含むことを特徴とする半導体装置。

【請求項 2】 該バス分割制御部は、

該バス制御部から該メインバスへ送出される情報をデコードして該制御信号を生成するデコーダ部と、

該デコーダ部のデコード結果に応じて該複数のバスの 1 つを該メインバスに接続するバス分割部

を含むことを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 該バス分割制御部は、該バス制御部から該メインバスへ送出されるアドレス情報をデコードした結果に基づいて該複数のバスの 1 つを該メインバスに接続することを特徴とする請求項 1 記載の半導体装置。

【請求項 4】 該複数の機能ブロックのうち少なくとも 2 つの機能ブロックは該複数のバスのうちで 1 つのバスを共有し、該バス分割制御部は、転送要求信号を受け取ると該転送要求信号に応答して該 2 つの機能ブロック間での該 1 つのバスを介した転送を制御することを特徴とする請求項 1 記載の半導体装置。

【請求項 5】 該バス分割制御部は、該 2 つの機能ブロックの一方に対するライトイネーブル信号と他方に対するリードイネーブル信号とを同時に送出することを特徴とする請求項 4 記載の半導体装置。

【請求項 6】該バス分割制御部は、転送要求信号に加えて転送制御信号を受け取り該転送制御信号に応じて該 2 つの機能ブロックのうちでの転送先と転送元とを決定することを特徴とする請求項 4 記載の半導体装置。

【請求項 7】該バス分割制御部は、該バス制御部から該 2 つの機能ブロックの 1 つに対するアクセス要求があった場合には、該アクセス要求を該転送要求信号に優先して処理することを特徴とする請求項 4 記載の半導体装置。

【請求項 8】該バス分割制御部は、該バス制御部から該複数の機能ブロックのうち該 2 つの機能ブロック以外の 1 つに対するアクセス要求があった場合には、該アクセス要求を該転送要求信号と並行して処理することを特徴とする請求項 4 記載の半導体装置。

【請求項 9】該バス分割制御部は、該バス制御部から該メインバスへ送出される情報をデコードした結果に基づいて該バス制御部からのリードアクセスかライトアクセスかを判断して、判断した結果に応じたアクセス方向に該複数のバスの 1 つを該メインバスに接続することを特徴とする請求項 1 記載の半導体装置。

【請求項 10】複数のバスと、

メインバスと、

該複数のバスと該メインバスの間に設けられ、該メインバス上の情報をデコードした結果に基づいて該複数のバスのうち第 1 のバスを該メインバスに接続するとともに、該複数のバスのうち第 2 のバスに接続される 2 つの機能ブロック間で転送を制御するバス分割制御部を含むことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般に半導体装置に関し、詳しくは複数の機能ブロックとそれに接続されるアドレスバス及びデータバスを有する半導体装置に関する。

【0002】

【従来の技術】

電子機器が多機能化するに伴って、電子機器内部で用いられる半導体装置には

、多様な機能と拡張性が求められるようになっている。これを実現するために、半導体装置内でバス上に多数の機能ブロックを接続し、バスを介して各機能ブロックの制御を行う構成が用いられる。

## 【 0 0 0 3 】

図 1 は、従来の半導体装置の構成を示す図である。

## 【 0 0 0 4 】

図 1 に示されるように、従来の半導体装置は、バス制御部 1 0、アドレス／データバス 1 1、及び複数の機能ブロック 1 2 を含む。バス制御部 1 0 は CPU 等の制御ユニットであり、アドレス／データバス 1 1 を介して機能ブロック 1 2 を制御する。バス制御部 1 0 が制御するアドレス空間において、各機能ブロック 1 2 は所定のアドレス領域に割り当てられており、バス制御部 1 0 が所定のアドレス領域にアクセスすることで対応する機能ブロック 1 2 の制御を実行する。各機能ブロック 1 2 にはラッチ・デコーダ部 1 2 A が設けられる。ラッチ・デコーダ部 1 2 A は、アドレス／データバス 1 1 を介して送信されるアドレスをラッチしてデコードし、自らの機能ブロック 1 2 に対するアクセスであるか否かを判断する。

## 【 0 0 0 5 】

このように、従来の半導体装置におけるバスの制御方法に於いては、アドレス／データバス 1 1 に複数の機能ブロック 1 2 を直接接続し、各機能ブロック 1 2 へのアクセスは、各機能ブロックごとに用意されたラッチ・デコーダ部 1 2 A により判定していた。

## 【 0 0 0 6 】

## 【発明が解決しようとする課題】

このような構成の場合、1 対のアドレス／データバス 1 1 に複数の機能ブロック 1 2 を接続するので、機能ブロック 1 2 の数が増えるとバスの負荷が増大することになる。従って、多数の機能ブロック 1 2 が設けられる場合には、それに対応した高い駆動能力のバスドライバが必要となる。

## 【 0 0 0 7 】

更に、1 対のアドレス／データバス 1 1 に多数の機能ブロック 1 2 を接続する

場合には、基本的に機能ブロック 1 2 間で同一の構成であるラッチ・デコーダ部 1 2 A を多数設けることになり、重複した回路構成による回路規模の増大につながる。また更に、配線長が長くなることよって配線遅延が大きくなり、高速動作が難しくなると共に消費電流が大きくなり、またノイズも発生し易くなる。

#### 【 0 0 0 8 】

また、1 対のアドレス／データバス 1 1 に複数の機能ブロック 1 2 を接続しているため、アクセスは 1 つの機能ブロック 1 2 に対してのみ可能である。更に、機能ブロック 1 2 間の転送に於いては、ある機能ブロック 1 2 に対するバス制御部 1 0 によるリードサイクルと別の機能ブロック 1 2 に対するバス制御部 1 0 によるライトサイクルとの 2 サイクルが必要となり、そのサイクルの間中はアドレス／データバス 1 1 を占有する必要がある。このようにバスを専有すると、他の機能ブロック 1 2 に対するアクセスや機能ブロック 1 2 間でのデータ転送が不可能になり、また転送サイクルに 2 サイクル必要であることも理由となり、半導体装置全体としての性能を向上させることが出来ない。

#### 【 0 0 0 9 】

以上を鑑みて、本発明は、アドレスバス及びデータバスを介して機能ブロックの制御を効率的に実行することが可能な半導体装置を提供することを目的とする。

#### 【 0 0 1 0 】

##### 【課題を解決するための手段】

本発明による半導体装置は、複数の機能ブロックと、該複数の機能ブロックに接続される別々の複数のバスと、該複数の機能ブロックに接続される別々の複数の制御信号線と、メインバスと、該メインバスに接続されるバス制御部と、該複数のバスと該メインバスの間に設けられ該バス制御部から該メインバスへ送出される情報をデコードした結果に基づいて該複数のバスの 1 つを該メインバスに接続すると共に該複数の制御信号線の対応する制御信号線に制御信号を送出することで該複数の機能ブロックの対応する 1 つを制御するバス分割制御部を含むことを特徴とする。

#### 【 0 0 1 1 】



本発明においては、アドレスのラッチ・デコーダ関係の回路をバス分割制御部として一個所にまとめ、各機能ブロックごとにアドレス・データバスを分割することで、回路規模を小さくすることが出来る。また、バスの負荷を削減すると共に、消費電流を小さくし、更にノイズを低減することが出来る。

## 【 0 0 1 2 】

更に本発明の有る側面によれば、上記半導体装置において、該複数の機能ブロックのうち少なくとも2つの機能ブロックは該複数のバスのうちで1つのバスを共有し、該バス分割制御部は、転送要求信号を受け取ると該転送要求信号に応答して該2つの機能ブロック間での該1つのバスを介した転送を制御することを特徴とする。

## 【 0 0 1 3 】

このようにバスが各機能ブロック毎に分割されているので、空いているバスを使うことにより、機能ブロック間転送を実行することが出来る。この際、転送先と転送元の機能ブロックにライト信号とリード信号を同時に供給することで、転送アクセス数を少なくして1アクセスでの転送が可能になる。これにより、半導体装置におけるデータ転送速度及びデータ転送効率を向上させることが出来る。

## 【 0 0 1 4 】

## 【発明の実施の形態】

以下に、本発明の実施例を添付の図面を用いて詳細に説明する。

## 【 0 0 1 5 】

図2は、本発明による半導体装置の構成を示すブロック図である。

## 【 0 0 1 6 】

図2の半導体装置は、バス制御部21、アドレス・データバス22、機能ブロック23A、23B、23C、及び23D、機能ブロック23Aへの制御信号線24A、機能ブロック23Bへの制御信号線24B、機能ブロック23Cへの制御信号線24C、機能ブロック23Dへの制御信号線24D、機能ブロック23Aへのデータバス25A、機能ブロック23Bへのデータバス25B、機能ブロック23C及び23Dへのデータバス25C、バス分割制御部26、転送要求信号線27、転送制御信号線28、及びアドレス・データバス22の制御信号線2

9を含む。またバス分割制御部26は、ラッチ・デコーダ部31及びバス分割部32を含む。また図2では、機能ブロック23Bは、複数の機能ブロックからなる機能ブロック群として示してあるが、1つの機能ブロックであってもよい。

#### 【0017】

バス分割制御部26のラッチ・デコーダ部31は、バス制御部21からアドレス・データバス22を介して供給されるアドレス信号をラッチし、ラッチしたアドレスをデコードする。バス分割制御部26のバス分割部32は、ラッチ・デコーダ部31のデコード結果に従って、バス分割制御部26に接続される機能ブロック23A、23B、23C、及び23Dの1つを選択し、選択した機能ブロックに対応するデータバス25A、25B、及び25Cの1つとアドレス・データバス22とを接続する。またラッチ・デコーダ部31は、アドレスのデコード結果に基づいて、選択された機能ブロックとデータバスの制御を行う制御信号を生成して、制御信号線24A、24B、24C、及び24Dに供給する。

#### 【0018】

図2の構成により、アドレス・データバス22及び各データバス25A、25B、及び25Cの負荷が軽くなることで、動作の高速化を図ることが出来ると共に、各バスを駆動するバスドライバを小型化することで低消費電力化が達成できる。また、従来各機能ブロックごとに持っていたアドレスのラッチ・デコード回路を、バス分割制御部26にラッチ・デコーダ部31として1つに纏めることにより、全体の回路規模が縮小される。

#### 【0019】

図2の構成は、機能ブロック23Cと機能ブロック23Dとの間で他の部分とは独立したデータ転送が可能な構成となっている。これを実現するために、バス分割制御部26には、転送要求信号27及び転送制御信号28が供給される。転送要求信号27は転送動作を要求する信号であり、転送制御信号28は転送方向が機能ブロック23Cから機能ブロック23Dであるか或いは機能ブロック23Dから機能ブロック23Cであるかを制御する。バス分割制御部26は、転送要求信号27及び転送制御信号28に応じて、機能ブロック23C及び機能ブロック23Dをアドレス・データバス22から分離し、転送制御信号線28を介して

機能ブロック 2 3 C 及び機能ブロック 2 3 D に転送制御信号を供給する。これにより、他の分割されたデータバス 2 5 A 及び 2 5 B の動作に影響を与えることなく、機能ブロック 2 3 C 及び機能ブロック 2 3 D 間での単独の転送を実行することが出来る。

#### 【 0 0 2 0 】

上述のように本発明においては、アドレスのラッチ・デコーダ回路を一個所にまとめ、各機能ブロックごとにアドレス・データバスを分割することで、回路規模を小さくすることが出来る。また、バスの負荷を削減すると共に、消費電流を小さくし、更にノイズを低減することが出来る。

#### 【 0 0 2 1 】

またバスが各機能ブロック毎に分割されているので、空いているバスを使うことにより、機能ブロック間転送を実行することが出来る。この際、転送要求信号と転送制御信号に応答して、転送先と転送元の機能ブロックにライト信号とリード信号を同時に供給することで、転送アクセス数を少なくして 1 アクセスでの転送が可能になる。

#### 【 0 0 2 2 】

図 3 は、基本となるバス動作のタイミングを示すタイミング図である。

#### 【 0 0 2 3 】

図 2 のアドレス・データバス 2 2 は、アドレス情報とデータ情報とが時分割に転送されるバスであり、例えば 1 6 ビット幅の信号 R B [ 1 5 : 0 ] を搬送する。制御信号線 2 9 が、アドレス・データバス 2 2 のバスサイクルの種類（例えば、i d l e、# 1、# 2 等）を示す 2 ビットの信号 B S [ 1 : 0 ] を搬送する。バス制御部 2 1 は、制御信号線 2 9 のバス制御信号 B S の状態により、時分割されたアドレス・データバス 2 2 を制御する。これにより、機能ブロックに対するアクセスを 2 クロックサイクルで実行する。

#### 【 0 0 2 4 】

以下に、バスの動作を、図 3 を参照して説明する。なお図 3 において、アドレス・データバス 2 2 は R B として示され、制御信号線 2 9 は B S として示される。また図 3 に示されるアクセスは、最初のアクセスが機能ブロック 2 3 A に対す

る READ 動作であり、次のアクセスが機能ブロック 2 3 A に対する WRITE 動作である。

【 0 0 2 5 】

1. IDLE サイクル

IDLE サイクルはアクセス要求がない状態であり、バス制御部 2 1 は、アドレス・データバス 2 2 をハイインピーダンス状態にする。

【 0 0 2 6 】

2. 第 1 サイクル ( # 1 )

バス分割制御部 2 6 において、2 ビットのバス制御信号 B S をデコードすることで、第 1 のサイクルを示すデコード信号 d e c o d e # 1 を生成し、第 1 のサイクルに応じた制御を実行する。

【 0 0 2 7 】

この第 1 サイクル ( # 1 ) で、バス制御部 2 1 は、アドレス情報とリード/ライト情報をアドレス・データバス 2 2 に出力する。ラッチ・デコーダ部 3 1 は、例えば第 1 サイクルにおける R B [ 1 5 ] と R B [ 1 2 : 0 ] をアドレスとして使用し、R B [ 1 4 ] と R B [ 1 3 ] とをリード/ライト情報として使用する。図 3 に示される最初のアクセスにおいて、ラッチ・デコーダ部 3 1 は、アドレス A 1 とリードを示す信号 R E A D をラッチする。また次のアクセスにおいては、ラッチ・デコーダ部 3 1 は、アドレス A 3 とライトを示す信号 W R I T E をラッチする。

【 0 0 2 8 】

3. 第 2 サイクル ( # 2 )

バス分割制御部 2 6 において、2 ビットのバス制御信号 B S をデコードすることで、第 2 のサイクルを示すデコード信号 d e c o d e # 2 を生成し、第 2 のサイクルに応じた制御を実行する。

【 0 0 2 9 】

この第 2 サイクル ( # 2 ) において、ラッチ・デコーダ部 3 1 は、第 1 のサイクルでラッチした情報をデコードする。その結果、バスサイクルがリードである場合 ( 図 3 の第 1 番目のアクセスの場合 ) 、バス分割制御部 2 6 のラッチ・デコ

ーダ部 3 1 は、制御信号 2 4 A としてリードイネーブル信号 (read-enable) を機能ブロック 2 3 A に供給する。これに応答して、機能ブロック 2 3 A は、クロックの Low 期間中にデータバス 2 5 A にデータ D 1 を出力する。この時、アドレス情報のデコード結果に基づいて、バス分割部 3 2 により、データバス 2 5 A はアドレス・データバス 2 2 に読み出しアクセス方向に接続されている。従って、読み出されたデータ D 1 は、アドレス・データバス 2 2 に現れる。クロックの次の立ち上りエッジで、バス制御部 2 1 が、RB [15:0] のデータ D 1 を取り込む。

## 【0030】

バスサイクルがライトの場合 (図 3 の第 2 番目のアクセスの場合) には、バス制御部 2 1 が、クロックの Low 期間中にアドレス・データバス 2 2 に対してデータ D 3 を出力する。この時、アドレス情報のデコード結果に基づいて、バス分割部 3 2 により、データバス 2 5 A はアドレス・データバス 2 2 に書き込みアクセス方向に接続されている。従って、データ D 3 は、バス分割部 3 2 を介してデータバス 2 5 A に現れる。またバス制御部 2 1 のラッチ・デコーダ部 3 1 は、制御信号 2 4 A としてライトイネーブル信号 (write-enable) を機能ブロック 2 3 A に供給する。機能ブロック 2 3 A は、クロックの次の立ち上りエッジで、データバス 2 5 A のデータ D 3 を取り込む。

## 【0031】

同様に各機能ブロック 2 3 B、2 3 C、及び 2 3 D へのアクセス要求の場合においても、バス分割制御部 2 6 は、第 1 サイクルでラッチした RB [15:0] を第 2 サイクルでデコードし、デコードしたリード/ライト情報に応じて各機能ブロック 2 3 B、2 3 C、及び 2 3 D への制御信号をアサートする。それと同時に、デコードしたアドレス情報に基づいて、バス分割制御部 2 6 は、対応するデータバスをアドレス・データバス 2 2 と接続する。

## 【0032】

図 4 は、機能ブロック間でのデータ転送時におけるバス動作のタイミングを示すタイミング図である。

## 【0033】

転送要求信号 2 7 がアサートされた場合は、転送制御信号 2 8 の指示に応じて、転送方向即ち転送先と転送元を決定する。例えば、バス分割制御部 2 6 から機能ブロック 2 3 C に対する制御信号 2 4 C をリード (read-enable-C) とし、機能ブロック 2 3 D に対する制御信号 2 4 D をライト (write-enable-D) とする。これにより、機能ブロック 2 3 C からデータバス 2 5 C にデータ D 2 が出力され、その次のクロックの立ち上りで機能ブロック 2 3 D がデータバス 2 5 C のデータを取り込む。これにより、1 アクセスで機能ブロック 2 3 C 及び 2 3 D の間でのデータ転送を実行することができる。

## 【 0 0 3 4 】

なおこの際、機能ブロック 2 3 C 及び機能ブロック 2 3 D 間でのデータ転送を実行しながら、これとは独立に、他の機能ブロック 2 3 A 或いは 2 3 B に対するバス制御部 2 1 からのアクセスを実行することが可能である。また転送要求信号 2 7 がアサートされた時にデータバス 2 5 C が使用中であれば、アイドル状態になりデータバス 2 5 C が使用可能になるまで待つように構成してよい。

## 【 0 0 3 5 】

転送要求信号 2 7 が取り下げられると、データバス 2 5 C は解放される。また転送要求信号 2 7 がアサートした状態で、バス制御部 2 1 からデータバス 2 5 C にアクセス要求が発生した場合は、バス制御部 2 1 からの通常アクセスが優先される。即ち、転送要求はアイドル状態になり、データバス 2 5 C が空くまで待つことになる。

## 【 0 0 3 6 】

図 5 は、バス分割制御部 2 6 の詳細な構成の一例を示す回路図である。

## 【 0 0 3 7 】

図 5 のバス分割制御部 2 6 は、デコーダ 4 1、ラッチ 4 2、デコーダ・制御信号生成回路 4 3、ラッチ 4 4、ラッチ 4 5、論理回路 4 6、インバータ 4 7、論理回路 4 8、セクタ 4 9、及びバスドライバ 5 1 乃至 5 4 を含む。図 2 のラッチ・デコーダ部 3 1 は、例えば、デコーダ 4 1、ラッチ 4 2、デコーダ・制御信号生成回路 4 3、ラッチ 4 4、ラッチ 4 5、論理回路 4 6、インバータ 4 7、及び論理回路 4 8 に対応し、バス分割部 3 2 は、セクタ 4 9 及びバスドライバ 5

1 乃至 5 4 に相当する。なお図 5 において、主要な信号に対しては、論理関係が論理式として示されている。

## 【 0 0 3 8 】

デコーダ 4 1 は、アドレス・データバス 2 2 に対する制御信号線 2 9 の信号 B S 0 及び B S 1 を受け取り、これをデコードする。信号 B S 0 及び B S 1 がアドレスサイクルを示す場合には信号 # 1 をアサートし、信号 B S 0 及び B S 1 がデータサイクルを示す場合には信号 # 2 をアサートする。信号 # 1 はラッチ 4 2 にイネーブル信号として供給され、信号 # 2 はデコーダ・制御信号生成回路 4 3 にイネーブル信号として供給される。

## 【 0 0 3 9 】

ラッチ 4 2 は、アドレスサイクルでイネーブルされ、アドレス・データバス 2 2 からのアドレス情報をクロック信号 C L K に同期してラッチする。ラッチした例えば 1 6 ビットのアドレス信号は、ラッチ 4 2 からデコーダ・制御信号生成回路 4 3 に供給される。

## 【 0 0 4 0 】

デコーダ・制御信号生成回路 4 3 は、データサイクルでイネーブルされ、アドレス・データバス 2 2 からのアドレスをデコードした結果に基づいて、種々の制御信号を生成する。この制御信号の一部は、機能ブロック 2 3 A、2 3 B、2 3 C、及び 2 3 D に対する制御信号線 2 4 A、2 4 B、2 4 C、及び 2 4 D に供給される。これにより、アドレス信号により選択された機能ブロックに対して、アドレス信号の一部により指定されたリード動作或いはライト動作を実行させる。なお制御信号線 2 4 C 及び 2 4 D に対応する制御信号は、論理回路 4 8 を介した後に、制御信号線 2 4 C 及び 2 4 D に供給される。論理回路 4 8 は、機能ブロック 2 3 C 及び 2 3 D 間でのデータ転送を行う際に、制御信号線 2 4 C 及び 2 4 D への制御信号をデコーダ・制御信号生成回路 4 3 とは別に生成する回路である。

## 【 0 0 4 1 】

デコーダ・制御信号生成回路 4 3 が生成する制御信号の一部は、バスドライバ 5 1 乃至 5 3 に供給される。供給された制御信号に基づいて、ライトアクセスの場合に、バスドライバ 5 1 乃至 5 3 の何れか 1 つが選択的に駆動される。これに

より、アドレス・データバス 2 2 がデータバス 2 5 A、2 5 B、及び 2 5 C の 1 つに選択的に接続され、アドレス・データバス 2 2 から選択されたデータバスへのライトアクセスが可能になる。

## 【 0 0 4 2 】

またデコーダ・制御信号生成回路 4 3 が生成する制御信号の一部は、セレクト 4 9 とバスドライバ 5 4 に供給される。セレクト 4 9 は、供給された制御信号に基づいて、データバス 2 5 A、2 5 B、及び 2 5 C の何れかを選択して、バスドライバ 5 4 に接続する。バスドライバ 5 4 は、リードアクセスの場合に駆動され、選択されたデータバスをアドレス・データバス 2 2 に接続する。これにより、選択されたデータバスからアドレス・データバス 2 2 へのリードデータ転送が可能となる。

## 【 0 0 4 3 】

ラッチ 4 4 は、転送要求信号線 2 7 の転送要求信号をクロック信号 CLK に同期してラッチする。ラッチ 4 5 は、転送制御信号線 2 8 の転送制御信号をクロック信号 CLK に同期してラッチする。ラッチ 4 4 及び 4 5 がラッチした信号は、論理回路 4 6 に供給される。論理回路 4 6 は、転送要求がある状態（転送要求信号線が HIGH）で且つ転送制御信号線 2 8 が HIGH の場合に、論理回路 4 8 に供給される信号 CD を HIGH にする。また転送要求がある状態（転送要求信号線が HIGH）で且つ転送制御信号線 2 8 が LOW の場合に、論理回路 4 8 に供給される信号 DC を HIGH にする。信号 CD 及び DC の何れが HIGH になるかによって、機能ブロック 2 3 C 及び 2 3 D のうちで転送元及び転送先を指定する。

## 【 0 0 4 4 】

上述のように、論理回路 4 8 は、デコーダ・制御信号生成回路 4 3 から制御信号 2 4 C 及び 2 4 D に対応する信号 CR、CW、DR、及び DW を受け取ると共に、論理回路 4 6 から信号 CD 及び DC を受け取る。論理回路 4 8 は更に、デコーダ・制御信号生成回路 4 3 からインバータ 4 7 を介してデータバス 2 5 C 選択時に HIGH になる信号の反転信号を受け取る。これによって、データバス 2 5 C 選択時には論理回路 4 6 からの信号 CD 及び DC を無視し、デコーダ・制御信



号生成回路 4 3 から供給される信号 C R、C W、D R、及び D W を、制御信号線 2 4 C 及び 2 4 D に供給する。ここで例えば、信号 C R 及び C W は、機能ブロック 2 3 C に対するリードイネーブル及びライトイネーブルに対応する。従って、転送要求信号線 2 7 からのデータ転送要求が存在するか否かに関わらず、データバス 2 5 C 選択時には、デコーダ・制御信号生成回路 4 3 からの指示によって制御が行われる。

## 【 0 0 4 5 】

データバス 2 5 C が非選択であり且つ転送要求信号線 2 7 からのデータ転送要求が存在する場合には、論理回路 4 8 は、論理回路 4 6 からの信号 C D 及び D C に基づいて、転送元及び転送先を指定する制御信号を制御信号線 2 4 C 及び 2 4 D に供給する。これによって、機能ブロック 2 3 C 及び機能ブロック 2 3 D 間でのデータ転送が実行される。この時バสดライバ 5 1 は非選択であり、アドレス・データバス 2 2 からのデータが機能ブロック間転送処理中のデータバス 2 5 C に影響を与えることは無い。なおこの際、機能ブロック 2 3 C 及び機能ブロック 2 3 D 間でのデータ転送を実行しながら、これとは独立に、他の機能ブロック 2 3 A 或いは 2 3 B に対するバス制御部 2 1 からのアクセスを実行することが可能である。

## 【 0 0 4 6 】

図 6 は、デコーダ・制御信号生成回路 4 3 の回路構成を示す図である。

## 【 0 0 4 7 】

図 6 のデコーダ・制御信号生成回路 4 3 は、R W デコーダ 6 1、アドレスデコーダ 6 2、制御信号生成論理回路 6 3、及び O R 回路 6 4 及び 6 5 を含む。

## 【 0 0 4 8 】

R W デコーダ 6 1 は、ラッチ 4 2 から供給される例えば 1 6 ビットのアドレス信号のうちで、リード・ライトを示すアドレスビット（図の例では R B [ 1 4 ] と R B [ 1 3 ] ）を入力される。このアドレスビットをデコードすることで、リードを指示するリード信号 R D とライトを指示するライト信号 W R を生成する。リード信号 R D とライト信号 W R とは、制御信号生成論理回路 6 3 に供給される。

## 【 0 0 4 9 】

アドレスデコーダ 6 2 は、ラッチ 4 2 から供給される例えば 1 6 ビットのアドレス信号のうちで、アドレスを示すアドレスビット（図の例では R B [ 1 2 : 0 ] ）を入力される。このアドレスビットをデコードすることで、機能ブロック 2 3 A、2 3 B、2 3 C、及び 2 3 D に対応するデコード信号 A、B、C、及び D を生成する。これらデコード信号 A、B、C、及び D のうちで、選択された機能ブロックに対応する信号が H I G H になる。デコード信号 A、B、C、及び D は、制御信号生成論理回路 6 3 に供給される。

## 【 0 0 5 0 】

デコーダ・制御信号生成回路 4 3 は、デコーダ 4 1 からのイネーブル信号 E N A がアサートされると動作し、図に示される所定の論理演算を実行して制御信号 A R、A W、B R、B W、C R、C W、D R、及び D W を出力する。制御信号 A R 及び A W は、それぞれ機能ブロック 2 3 A のリード及びライトを指示する。制御信号 B R 及び B W は、それぞれ機能ブロック 2 3 B のリード及びライトを指示する。制御信号 C R 及び C W は、それぞれ機能ブロック 2 3 C のリード及びライトを指示する。制御信号 D R 及び D W は、それぞれ機能ブロック 2 3 D のリード及びライトを指示する。

## 【 0 0 5 1 】

O R 回路 6 4 は、制御信号 A R、B R、C R、及び D R の O R をとることで、リードアクセスを指示する信号を生成してバスドライバ 5 4 に供給する。バスドライバ 5 4 は、この信号に応答して、リード方向にバスを接続して駆動する。O R 回路 6 5 は、制御信号 C W 及び D W の O R をとることで、機能ブロック 2 3 C 或いは 2 3 D に対するライトアクセスを指示する信号を生成してバスドライバ 5 1 に供給する。この信号に応答して、バスドライバ 5 1 は、ライト方向にデータバス 2 5 C をアドレス・データバス 2 2 に接続する。また図 6 に示されるように、制御信号 A W 及び B W が、それぞれバスドライバ 5 3 及び 5 2 に供給され、これにより対応するバスがアドレス・データバス 2 2 にライト方向に接続される。

## 【 0 0 5 2 】

上記実施例は、本発明の構成の一例を示すものであり、開示された特定の内容

に本発明を限定するものではない。例えば、上記実施例は、アドレス及びデータが時分割で伝送されるマルチプレクスバスを構成例として用いているが、本発明はこの方式に限定されるものではなく、アドレスバスとデータバスとが別個に設けられる構成に適用することも可能である。本発明の開示に基づけば、当業者はそのような構成を実施することが可能である。

#### 【 0 0 5 3 】

以上、本発明を実施例に基づいて説明したが、本発明は上記実施例に限定されるものではなく、特許請求の範囲に記載の範囲内で様々な変形が可能である。

#### 【 0 0 5 4 】

##### 【発明の効果】

本発明においては、アドレスのラッチ・デコーダ回路を一個所にまとめ、各機能ブロックごとにアドレス・データバスを分割することで、回路規模を小さくすることが出来る。また、バスの負荷を削減すると共に、消費電流を小さくし、更にノイズを低減することが出来る。

#### 【 0 0 5 5 】

またバスが各機能ブロック毎に分割されているので、空いているバスを使うことにより、機能ブロック間転送を実行することが出来る。この際、転送先と転送元の機能ブロックにライト信号とリード信号を同時に供給することで、転送アクセス数を少なくして1アクセスでの転送が可能になる。これにより、半導体装置におけるデータ転送速度及びデータ転送効率を向上させることが出来る。

##### 【図面の簡単な説明】

#### 【図 1】

従来の半導体装置の構成を示す図である。

#### 【図 2】

本発明による半導体装置の構成を示すブロック図である。

#### 【図 3】

本発明における基本となるバス動作のタイミングを示すタイミング図である。

#### 【図 4】

本発明による機能ブロック間でのデータ転送時におけるバス動作のタイミング

を示すタイミング図である。

【図 5】

バス分割制御部の詳細な構成の一例を示す回路図である。

【図 6】

デコーダ・制御信号生成回路の回路構成を示す図である。

【符号の説明】

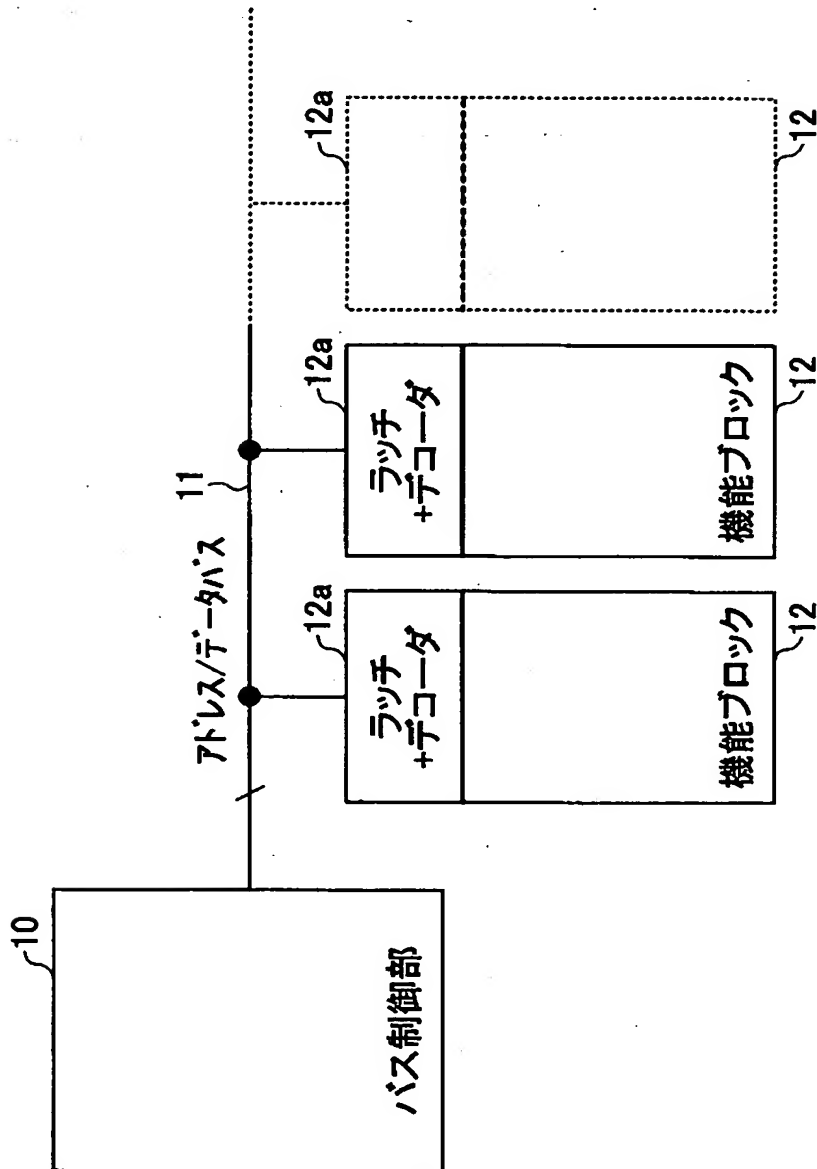
- 2 1 バス制御部
- 2 2 アドレス・データバス
- 2 3 A、2 3 B、2 3 C、2 3 D 機能ブロック
- 2 4 A、2 4 B、2 4 C、2 4 D 制御信号線
- 2 5 A、2 5 B、2 5 C、2 5 D データバス
- 2 6 バス分割制御部
- 2 7 転送要求信号線
- 2 8 転送制御信号線
- 2 9 制御信号線
- 3 1 ラッチ・デコーダ部
- 3 2 バス分割部

【書類名】

図面

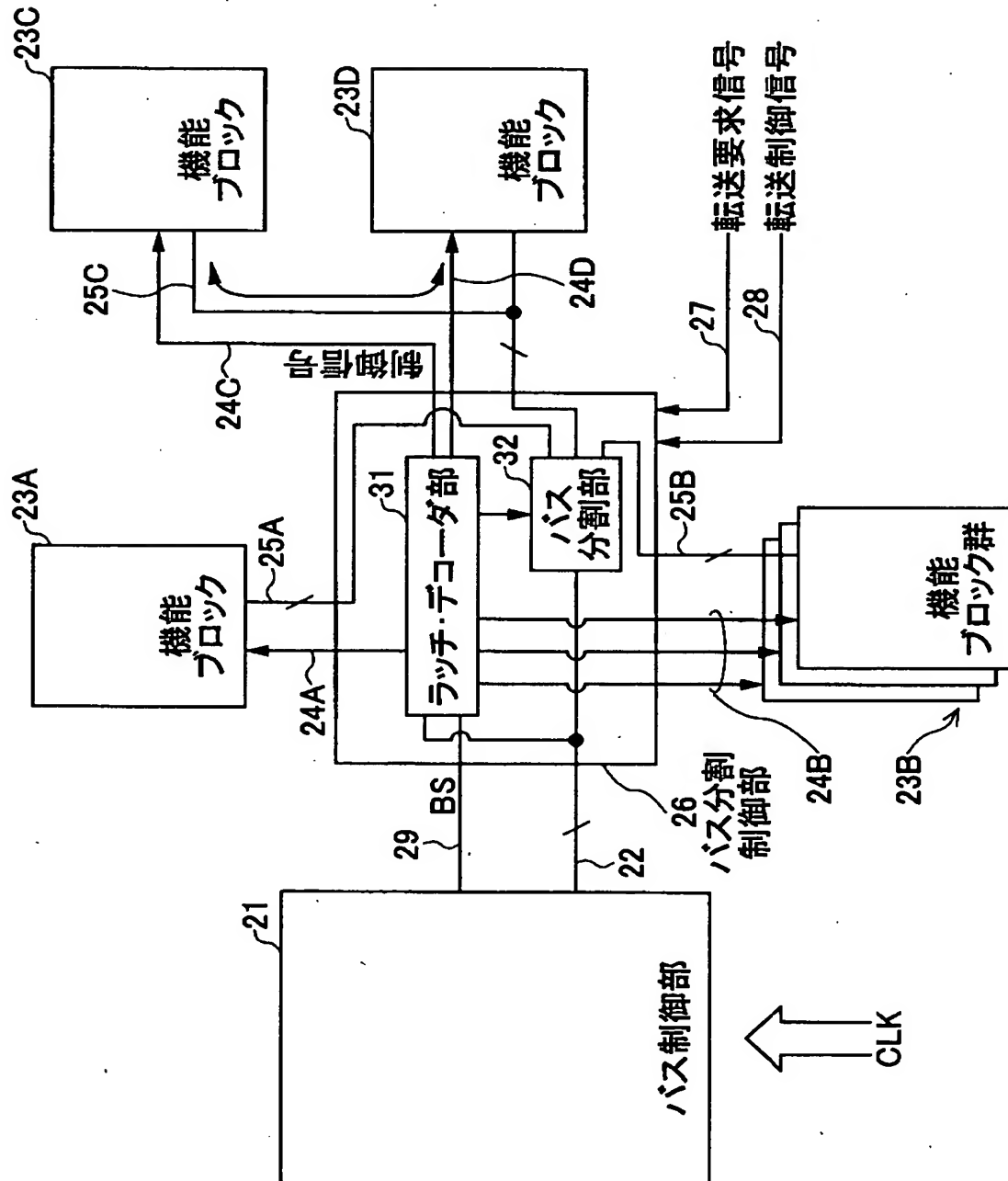
【図 1】

従来の半導体装置の構成を示す図



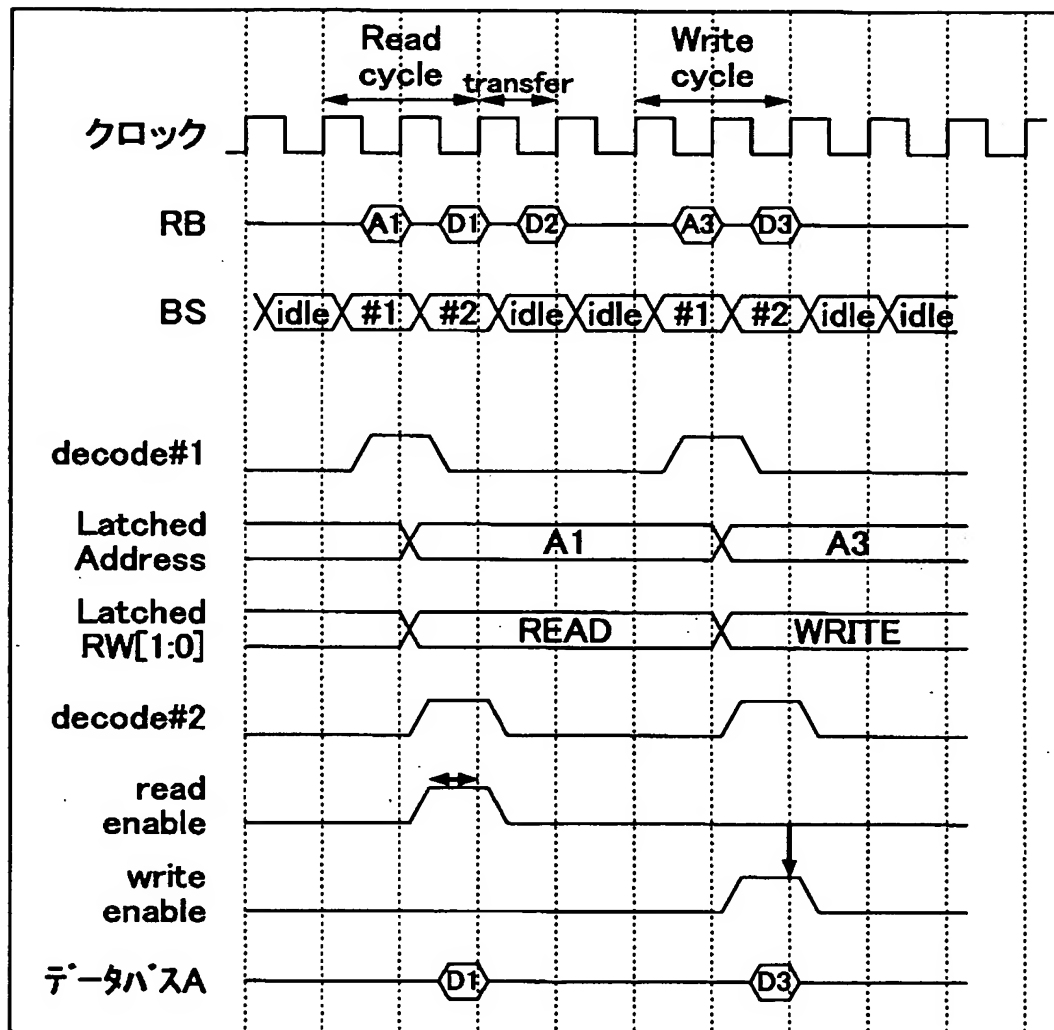
【図 2】

## 本発明による半導体装置の構成を示すブロック図



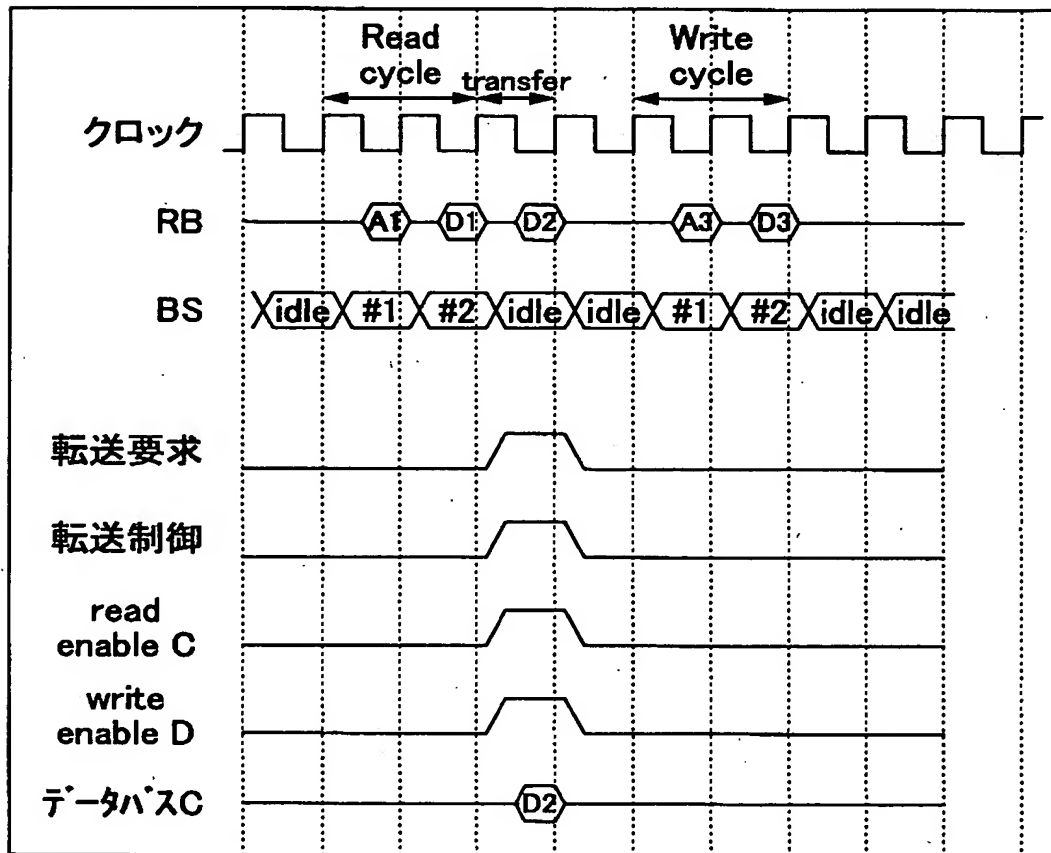
【図 3】

本発明における基本となるバス動作の  
タイミングを示すタイミング図



【図 4】

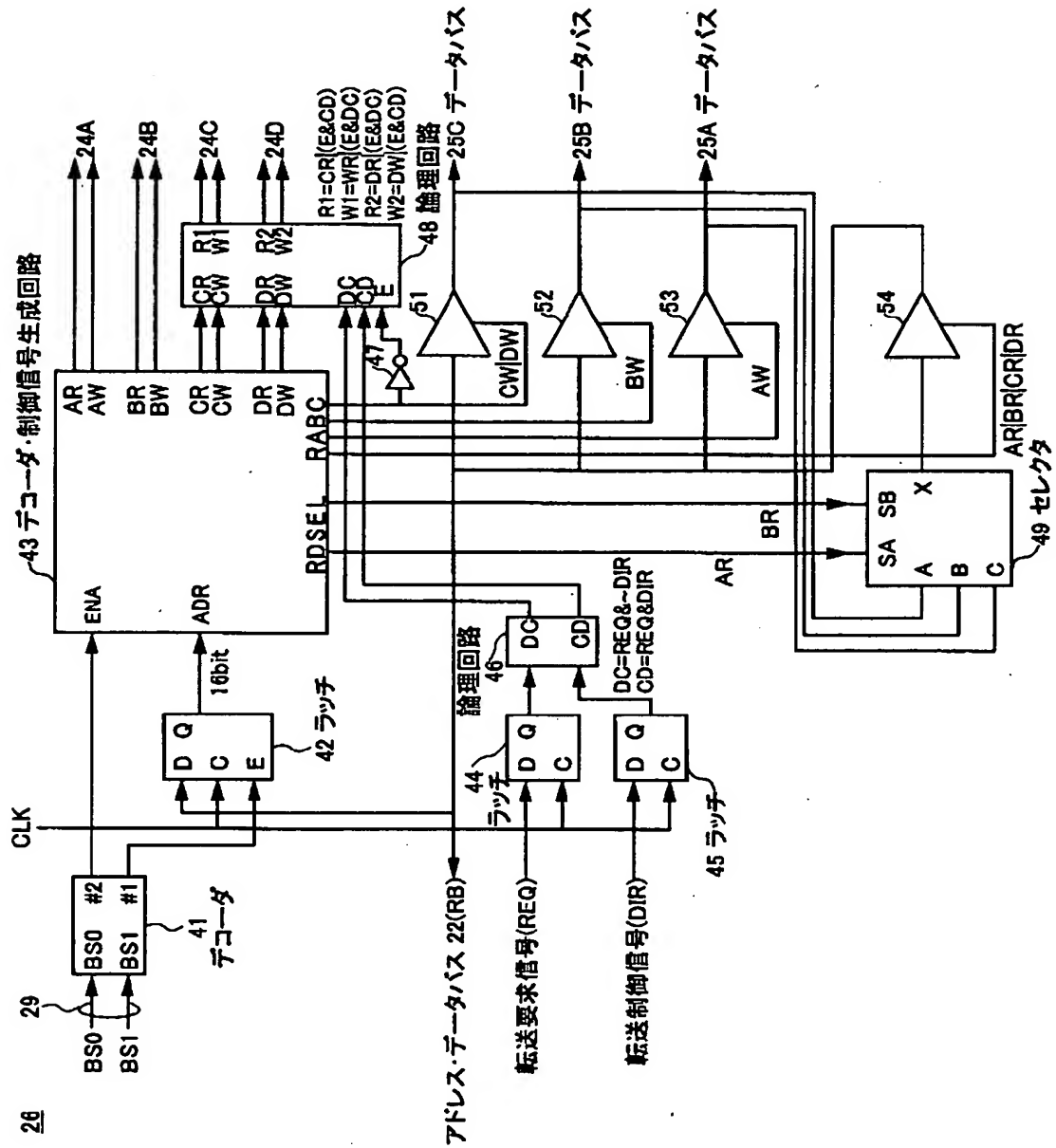
本発明による機能ブロック間でのデータ転送時における  
バス動作のタイミングを示すタイミング図





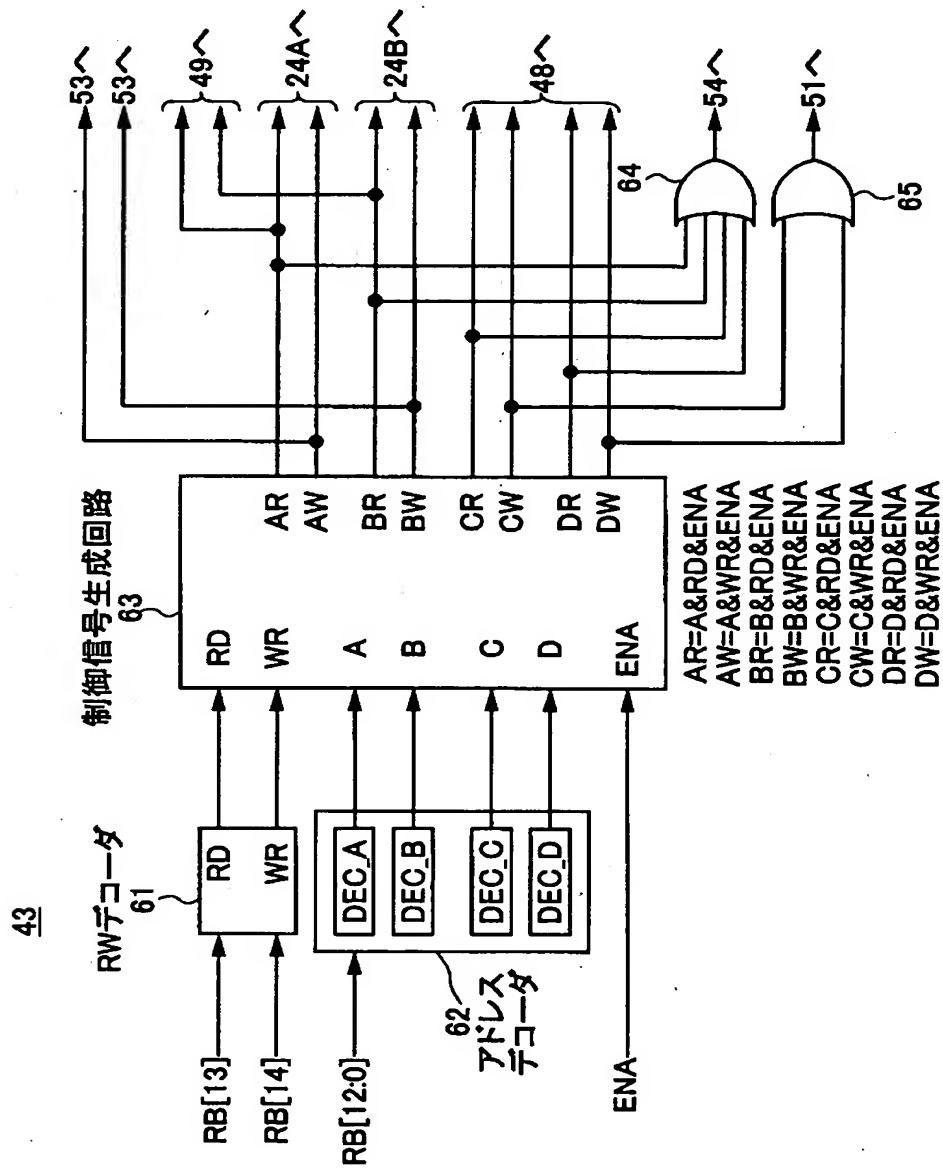
【図 5】

バス分割制御部の詳細な構成の一例を示す回路図



【図 6】

デコーダ・制御信号生成回路の回路構成を示す図



【書類名】 要約書

【要約】

【課題】 本発明は、アドレスバス及びデータバスを介して機能ブロックの制御を効率的に実行することが可能な半導体装置を提供することを目的とする。

【解決手段】 半導体装置は、複数の機能ブロックと、複数の機能ブロックに接続される別々の複数のバスと、複数の機能ブロックに接続される別々の複数の制御信号線と、メインバスと、メインバスに接続されるバス制御部と、複数のバスとメインバスの間に設けられバス制御部からメインバスへ送出される情報をデコードした結果に基づいて複数のバスの1つをメインバスに接続すると共に複数の制御信号線の対応する制御信号線に制御信号を送出することで複数の機能ブロックの対応する1つを制御するバス分割制御部を含む。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日  
[変更理由] 住所変更  
住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社

出 願 人 履 歴 情 報

識別番号 [000237617]

1. 変更年月日 1990年 9月 6日

[変更理由] 新規登録

住 所 愛知県春日井市高蔵寺町2丁目1844番2

氏 名 富士通ヴィエルエスアイ株式会社